

PAT-NO: JP401200439A

DOCUMENT-IDENTIFIER: JP 01200439 A

TITLE: PRIORITY PROCESSING CIRCUIT FOR UNACCEPTED REQUEST

PUBN-DATE: August 11, 1989

INVENTOR-INFORMATION:

NAME

KAMEYAMA, KAZUYOSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

APPL-NO: JP63023789

APPL-DATE: February 5, 1988

INT-CL (IPC): G06F009/46, G06F009/46

ABSTRACT:

PURPOSE: To accept an unaccepted request with priority by masking the request received from a unit that already accepted a request and accepting and taking out only the requests having the lower ranks than that of the request accepted in the preceding time.

CONSTITUTION: An input signal 31 is supplied to an AND circuit 32 which masks the requests given from the unit that is accepted the requests received up to the preceding time within a cycle out of the requests received this time and also to an AND circuit 33 which takes out only those requests having lower ranks than that of the preceding request accepted. Furthermore, the contents 35 of a 1st register 34 storing the information showing the specific units which requests are accepted down to the preceding time within a cycle are supplied to the circuit 32. In the same way, the contents 37 of a 2nd register 36 which holds the mask information for acceptance of only those requests lower than that requested in the preceding time are supplied to the register 33. In such a constitution, the requests given from the units that are not accepted down to the preceding time within a cycle can be accepted with prior ity.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-200439

⑤ Int.Cl.⁴

G 06 F 9/46

識別記号

3 2 1
3 2 2

庁内整理番号

7056-5B
Z-7056-5B

⑬ 公開 平成1年(1989)8月11日

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 未受付要求優先回路

⑰ 特 願 昭63-23789

⑱ 出 願 昭63(1988)2月5日

⑲ 発 明 者 亀 山 一 好 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 山内 梅雄

明 細 書

1. 発明の名称

未受付要求優先回路

2. 特許請求の範囲

n個のユニットによるnビットの要求信号の中から優先順位を決定し、要求を受け付ける、ユニット1個を選択する優先順位決定回路において、

n個のユニット全部の要求を一通り受け付けるまでの1サイクル内で、前回までにどのユニットの要求を受け付けたかの情報を保持するnビット幅の第1のレジスタと、

このnビット幅の第1のレジスタの内容と入力されたnビットの要求信号との論理積をとり、今回の要求の中で、1サイクル内の前回までに、要求を受け付けたことのあるユニットからの要求をマスクする第1の論理積回路と、

前回受け付けた要求よりも低位の要求だけを受け付けるためのマスク情報を保持するnビット幅の第2のレジスタと、

このnビット幅の第2のレジスタの内容と前記

入力されたnビットの要求信号との論理積をとり、前回受け付けた要求よりも低位の要求だけを取り出す第2の論理積回路と、

この第2の論理積回路と、この第2の論理積回路の結果が前回受け付けた要求よりも低位の要求が無いことを示した場合は前記入力された要求信号を選択し、そうでない場合は、この第2の論理積回路の出力を選択する第1のセレクトと、

前記第1の論理積回路の出力が、前記入力された要求信号の中に、1サイクル内で前回までに受け付けてないユニットからの要求が無いことを示した場合は前記第1のセレクトの出力を選択し、そうでない場合は、前記第1の論理積回路の出力を選択する第2のセレクトと、

この第2のセレクトのnビットの出力中の複数の要求ビットの中から最高位のものを選択し、出力するプライオリティエンコードの出力を受け、nビットにデコードするデコードと、

このデコードからのnビットの出力と前記第1のレジスタの内容との論理積をとり、前回受け付

けた要求よりも低位の要求だけを取り出し、今回受け付けた要求が1サイクル内の前回までに受け付けたことのあるユニットからの要求の場合、前記第1のレジスタを更新または抑止するように動作する第3のAND回路と、

この第3のAND回路のnビットの出力と前記第1のレジスタの内容との排他的論理和をとり、前記第1のレジスタを更新するように動作する排他的論理和回路と、

この排他的論理和回路のnビットの出力を入力し、この入力があるときは1サイクルが終了したとして全ビット"1"を出力して次のnビット要求信号に対するマスクがないようにし、この入力が"0"でないときは、そのまま出力して前記第1のレジスタにこれをセットする第1の比較回路と、

前記デコーダからのnビット出力から1を減算して前記第2のレジスタの更新に供する減算回路と、

この減算回路からの出力を入力し、この入力が

"0"のときは1サイクルが終了したとして全ビット"1"を出力して次のnビット要求信号に対するマスクがないようにし、この入力が"0"でないときはそのまま出力して前記第2のレジスタにこれをセットする第2の比較回路とを具備することを特徴とする未受付要求優先回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、優先順位決定制御に係わり、特にダイナミックな優先順位を決定制御する未受付要求優先回路に関する。

〔従来の技術〕

コンピュータの高速化に伴い、必要な時点でその必要な機能を発揮させる、いわゆる割込処理はコンピュータの効率的な運用に不可欠である。このような割り込みが多数で同時に生じたときは、優先順位（プライオリティ）の高いものから順次に割込処理が行われる。この場合には優先順位決定回路が用いられ、割り込みの優先順位を決定している。

第3図はこのような優先順位決定回路の従来例を示したものであり、第4図はその動作を説明するものである。

ここでは話しを簡単にするため、入力信号11は4ビットにしてある。この入力信号11は、4ビットを2ビットに変換する（4→2）プライオリティエンコード12に、4ビットの入力信号11の中の複数の要求ビットの中から最高位を選択し、出力するもので、一般の4→2エンコードの動作と同じものである。この従来例では、優先順位は固定されている。2ビットに符号化されたこのプライオリティエンコード12の出力信号13は、この2ビットを4ビットにデコードするデコード14に入力される。このデコード14は、一般の2ビットから4ビットに変換する（2→4）デコードと同じものである。このデコード13から、デコードされた2ビットの出力信号14が与えられる。

この従来の優先順位決定回路の動作を第4図にしたがって説明する。この図は受付要求を決定す

る表で、入力信号11、すなわち受け付けた要求の種類にしたがってケース①～⑥の6通りに分けてある。高→低は、プライオリティエンコード12の入力端子の優先順位21が左から右に低く、固定されていることを示している。入力信号11は、例えばケース①の場合は1000の4ビット配列をなし、したがって1番優先順位の高い一番目のビットが選択される位置22（表の矢印）になる。他のケース②～⑥の場合も同様である。

このようにして、プライオリティエンコード12で選択された出力信号13は、例えばケース①では3になる。他のケース②～⑥の場合も同様に出力信号13が得られる。次にこれらの出力信号13はデコード14で4ビット2進符号にデコードされ、例えば、ケース①では出力信号15として1000が得られる。他のケース②～⑥の場合も同様で、結局、選択された位置16は図の矢印で示した位置になる。

以上説明したように、従来の優先順位が固定された優先順位決定回路では、複数の要求のうち、

最高位の要求が選択出力されることになる。

このように、この種の従来の優先順位決定回路は、システムにより優先順位が一意的に決まっている場合が多い。このような固定された優先順位を変更したいときは、システム立ち上げ時に変更設定するか、または、コマンドによったり、スイッチを切り換えたり、ROMなどを利用する方法もある。さらに、ダイナミックに変更したいときは、高位から低位への順序を定期的に一時逆転させる方法もある。

〔発明が解決しようとする課題〕

しかしながら、これらの従来の方式では、優先順位が固定されているものがほとんどで、複数の要求があったとき、高位の要求が通る頻度は高いが、低位の要求が通る頻度は低く、効率が悪いという問題がある。また、コマンドやスイッチを利用して優先順位を切り換えてもシステム運用中はやはり順位は固定されるという問題がある。さらに、低位から高位に順序を逆転させる場合も、逆転から逆転の間は高位優先になるという問題があ

る。

そこで本発明の目的は、未受付要求を優先的に受け付けることができ、また既受付要求も平均的に受け付けることができる未受付要求優先回路を提供することにある。

〔課題を解決するための手段〕

本発明の未受付要求優先回路は、 n 個のユニット全部の要求を一通り受け付けるまでの1サイクル内で、前回までにどのユニットの要求を受け付けたかの情報を保持する n ビット幅の第1のレジスタと、この n ビット幅の第1のレジスタの内容と入力された n ビットの要求信号との論理積をとり、今回の要求の中で、1サイクル内の前回までに、要求を受け付けたことのあるユニットからの要求をマスクする第1の論理積回路と、前回受け付けた要求よりも低位の要求だけを受け付けるためのマスク情報を保持する n ビット幅の第2のレジスタと、この n ビット幅の第2のレジスタの内容と上記入力された n ビットの要求信号との論理積をとり、前回受け付けた要求よりも低位の要求

だけを取り出す第2の論理積回路と、この第2の論理積回路の結果が前回受け付けた要求よりも低位の要求が無いことを示した場合は上記入力された要求信号を選択し、そうでない場合はこの第2の論理積回路の出力を選択する第1のセレクタと、上記第1の論理積回路の出力が、上記入力された要求信号の中に、1サイクル内で前回までに受け付けてないユニットからの要求が無いことを示した場合は上記第1のセレクタの出力を選択し、そうでない場合は、上記第1の論理積回路の出力を選択する第2の選択回路と、この第2の選択回路の n ビットの出力の中の複数の要求ビットの中から最高位のものを選択し、出力するプライオリティエンコードと、このプライオリティエンコードの出力を受け、 n ビットにデコードするデコードと、このデコードからの n ビットの出力と上記第1のレジスタの内容との論理積をとり、前回受け付けた要求よりも低位の要求だけを取り出し、今回受け付けた要求が1サイクル内の前回までに受け付けたことのあるユニットからの要求の場合、

上記第1のレジスタを更新または抑止するように動作する第3のAND回路と、この第3のAND回路の n ビットの出力と上記第1のレジスタの内容との排他的論理和をとり、上記第1のレジスタを更新するように動作する排他的論理和回路と、この排他的論理和回路の n ビットの出力を入力し、この入力が“0”のときは1サイクルが終了したとして全ビット“1”を出力して次の n ビット要求信号に対するマスクがないようにし、この入力が“0”でないときは、そのまま出力して上記第1のレジスタにこれをセットする第1の比較回路と、上記デコードからの n ビット出力から1を減算して上記第2のレジスタの更新に供する減算回路と、この減算回路からの出力を入力し、この入力が“0”のときは1サイクルが終了したとして全ビット“1”を出力して次の n ビット要求信号に対するマスクがないようにし、この入力が“0”でないときはそのまま出力して上記第2のレジスタにこれをセットする第2の比較回路とを具備するものである。

したがって、本発明による未受付要求優先回路を用いると、すでに要求を受け付けたことのあるユニットからの要求をマスクし、前回受け付けた要求よりも低位の要求だけ受け付け、取り出すことにより、1サイクル内で前回までに受け付けなかったユニットからの要求を優先的に受け付けることができる。また、すでに要求を受け付けたことのあるユニットからの要求に対しても平均的にこれを受け付けることができる。

〔実施例〕

以下実施例につき本発明を詳細に説明する。

第1図は本実施例の未受付要求優先回路を示すブロック図、第2図はその動作を示す受付要求決定表を示す図である。本実施例においても、従来例と同様に、入力4ビットとしている。

第1図において、入力信号31は、今回の要求の中で、1サイクル内の前回までに、要求を受け付けたことのあるユニットからの要求をマスクする第1の論理積回路32（以下第1のAND回路という。）と前回受け付けた要求よりも低位の要

求だけを取り出す第2の論理積回路33（以下第2のAND回路という。）とに入力される。第1のAND回路32には更に、4個のユニット全部の要求を一通り受け付けるまでの1サイクル内で、前回までにどのユニットの要求を受け付けたかの情報を保持する4ビット幅の第1のレジスタ34の内容35が入力される。同様に、第2のAND回路33には更に、前回受け付けた要求よりも低位の要求だけを受け付けるためのマスク情報を保持する4ビット幅の第2のレジスタ36の内容37が入力される。この第2のAND回路33の出力信号39、すなわち、入力信号31と、第2のレジスタ36の内容37の論理積をとった結果は第1のセレクト40に送出され、さらに、第1のセレクト40には入力信号31が与えられる。この第1のセレクト40は、第2のAND回路33の出力信号39が、前回受け付けた要求よりも低位の要求が無いことを示した場合は入力信号31、すなわち要求信号を選択する。そして、そうでない場合は、この第2のAND回路33の出力信号

39を選択する。

この第1のセレクト40により選択された選択信号42は第2のセレクト43に送出される。また、この第2のセレクト43には、第1のAND回路32の出力信号44、すなわち前回受け付けた要求よりも低位の要求が与えられる。この第2のセレクト43は、第1のAND回路32の出力信号44が、入力信号31の要求の中に、1サイクル内で前回までに受け付けてないユニットからの要求が無いことを示した場合は第1のセレクト40の出力である選択信号42を選択し、そうでない場合は、第1のAND回路32の出力信号44を選択する。この第2のセレクト43の出力である選択信号46は、一般の4ビットから2ビットへの（以下4→2と略す。）エンコードと同様に動作するプライオリティエンコード48に入力される。このプライオリティエンコード48は、第2のセレクト43の4ビットの出力中の複数の要求ビットの中から最高位のものを選択し、符号化信号49を出力する。この符号信号49は、デ

コード50に入力され、再び4ビットに変換されてデコード信号52になる。このデコード信号52は、出力信号69として取り出すことができるが、更に第3のAND回路53および減算回路54に送出される。

第3のAND回路53は、このデコード信号52と第1のレジスタ34からの第1のレジスタの内容35とを入力してそれらの論理積をとり、前回受け付けた要求よりも低位の要求だけを取り出し、今回受け付けた要求が1サイクル内の前回までに受け付けたことのあるユニットからの要求の場合、第1のレジスタ34の更新を抑制するように動作する。すなわち、第3のAND回路53は、排他的論理和回路55（以下XOR回路と呼ぶ。）に4ビットの出力信号56を送出する。そして、このXOR回路55は、第3のAND回路53の出力信号56と第1のレジスタ34からの第1のレジスタの内容35との排他的論理和をとる。

このXOR回路55からの出力信号57は第1の比較回路58に送出される。これを受けた第1

の比較回路58は、第1のレジスタ34に対し、この出力信号57が“0”のときは、1サイクルが終了したとして全ビット“1”を出力して次の4ビット要求信号に対するマスクがないようにし、この出力信号57が“0”でないときは、そのまま出力して第1のレジスタ34をセットする抑止・更新信号60を送出する。一方、デコード信号52を受けた減算回路54は、このデコード信号52から1を減算してこの減算信号62を第2の比較回路63に送出する。第2の比較回路63は、第2のレジスタ36に対して抑止・更新信号65を送出する。これにより、第2のレジスタは、第2の比較回路63での減算信号62が“0”のときは、抑止・更新信号65として全ビット“1”を受けて次の4ビット要求信号に対してマスクがないようにされ、減算信号62が“0”でないときは抑止・更新信号65としてこれをそのまま入力され、セットされる。

次に、第2図に従って本実施例の未受付要求優先回路についてその動作を説明する。

回路33も、すでに説明したように、前回受け付けた要求より低位の要求だけを受け付けるように動作するが、初回の要求なので、全ビットとも許可したことになる。

第1のセクタ40は、第2のAND回路33の出力信号39が“0”、すなわち、入力信号31の要求の中に前回受け付けた要求より低位の要求が無いときは入力信号31を選択し、そうでない場合は第2のAND回路33の出力信号39を選択するように構成されている。従って、現在の場合は、前回受け付けた要求より低位の要求があった訳なので、第2のAND回路33の出力信号39、すなわち“1000”を選択して、選択信号42“1000”を第2のセクタ43に送出する。

第2のセクタ43は、第2のAND回路33の出力信号39が“0”、すなわち、入力信号31の要求の中に、1サイクル内で前回までに受け付けてないユニットからの要求がないときは、第1のセクタ40の選択信号42を選択し、そう

図において、4ビットの入力信号31は、比較のため、第4図の従来例と同じものを用いることにする。それぞれの入力信号31の要求位置67は図の矢印の位置にあるとする。ケース①では、第1のレジスタ34と第2のレジスタ36の内容35と37は、初回の要求として“1111”、すなわちマスクはないものとする。第1のAND回路32は、この第1のレジスタの内容35“1111”と入力信号31“1000”の論理積をとり、出力信号44として“1000”を第2のセクタ43に送出する。第1のAND回路32は、すでに説明したように、今回の入力信号31の要求の中で、1サイクル内の前回までに、要求を受け付けたことのあるユニットからの要求をマスクするように動作するが、初回なので全ビットともマスクされなかったことになる。更に、第2のAND回路33は、第2のレジスタの内容37“1111”と入力信号31“1000”の論理積をとり、出力信号39として“1000”を第1のセクタ40に送出する。この第2のAND

でないときは第1のAND回路32の出力信号44を選択するように構成されている。従って、現在の場合は、第1のAND回路32の出力信号44“1000”を選択し、選択信号46として“1000”をプライオリティエンコーダ48に送出する。

このプライオリティエンコーダ48は、従来例で説明したものと同一であり、その入力端子の優先順位71は、左が高位、右が低位になっており、入力された第2のセクタ43からの選択信号46“1000”の最高位から1番目の要求を選択し、符号化信号49として“3”（この値は符号化された2進値を10進値で表したものを）をデコード50に送出する。デコード50はこれをデコードして、デコード信号52として“1000”を第3のAND回路53および減算回路54に送出する。このデコード信号52は外部に出力信号69としても取り出すことができる。この場合の選択された位置72は図の矢印で示された位置になる。第3のAND回路53は、このデコー

ド信号52と、第1のレジスタ34の出力である第1のレジスタの内容35との論理積をとり、その出力信号56として"1000"をXOR回路55に送出する。

第3のAND回路53は、すでに説明したように、今回受け付けた入力信号31の中の要求が1サイクル内の前回までに受け付けたことのあるユニットからの要求の場合は、"0000"を出力し、第1のレジスタ34の更新を抑止するように動作する。現在の場合は、前回までに受け付けたことのないユニットからの要求だったため、"1000"を出力したことになる。

XOR回路55は、第3のAND回路53の出力信号56"1000"と第1のレジスタ34の出力である第1のレジスタの内容35"1111"との排他的論理和をとり、その出力信号57として"0111"を第1の比較回路58に送出する。このXOR回路55は、すでに説明したように、第1のレジスタ34を更新するように動作する。第1の比較回路58は、XOR回路55の

出力信号57を入力すると、これが"0000"であるか否かをチェックし、"0000"ならば、1サイクルが終了したので、"1111"を抑止・更新信号60として出力し、そうでないときは、入力である出力信号57をそのまま出力するように動作する。現在の場合は、後者に相当し、"0111"を抑止・更新信号60として出力する。そして、これは第1のレジスタ34に書き込まれ、この第1のレジスタ34は更新される。

一方、減算回路54に送出されたデコード信号52"1000"は、ここで1を減算され、減算信号62として"0111"を第2の比較回路63に送出する。この減算回路54は、すでに説明したように、第2のレジスタ36を更新するように動作するものである。第2の比較回路63は、減算回路54の出力である減算信号62を入力すると、これが"0000"か否かをチェックし、"0000"のときは、今回受け付けた要求が最低位の要求なので、その出力である抑止・更新信号65として、"1111"を第2のレジスタ3

6に出力し、そうでないときは、そのまま出力するように動作する。現在の場合は、後者に相当するので、"0111"を抑止・更新信号65として出力し、これは第2のレジスタ36に書き込まれ、この第2のレジスタ36は更新される。

ケース②の場合も同様に動作する。すなわち、第1のレジスタ34はケース①で更新されているので、この第1のレジスタの内容35は"0111"であり、これと、入力信号31である"0010"の論理積が第1のAND回路32でとられる。この第1のAND回路32では、最高位から3番目の要求がマスクされないので、デコード50のデコード信号52は"0010"となり、最高位から3番目の要求が受け付けられることになる。そして、第1のレジスタ34は、その内容が"0101"に、また第2のレジスタ36の内容は"0001"にそれぞれ更新される。

ケース③では、第1のレジスタ34の出力である第1のレジスタの内容35は"0101"であり、第1のAND回路32により、最高位から1

番目の要求がマスクされ、その出力信号44は"0000"となるので、第2のセレクト43により第1のセレクト40の出力である選択信号42"1000"が選択される。このとき、第2のレジスタ36の出力である第2のレジスタの内容37は"0001"であり、第2のAND回路33により、最高位から1番目の要求がマスクされるので、第1のセレクト40により入力信号31"1000"が選択され、第1のセレクト40の出力である選択信号42として"1000"が出力されている。したがって、第2のセレクト43の出力である選択信号46は"1000"となる。そして、デコード50の出力であるデコード信号52として"1000"が出力され、最高位から1番目の要求が受け付けられることになる。この場合、第1のレジスタ34は更新されないが、第2のレジスタ36は"0111"に更新される。

さらに、ケース④の場合も、第1のレジスタ34の出力である第1のレジスタの内容35は"0101"であり、第1のAND回路32により最

高位から1番目および3番目の要求がマスクされ、第1のAND回路32の出力信号44は"0000"となる。したがって、第2のセクタ43により、第1のセクタ40の出力である選択信号42が選択されるが、このときは、第2のレジスタ36の出力である第2のレジスタの内容37は"0111"である。かくして、第2のAND回路33により、前回受け付けた、試行位から1番目の要求はマスクされるが、3番目の要求はマスクされない。このため、第2のAND回路33の出力として"0010"が出力され、第1のセクタ40により第2のAND回路33の出力である出力信号39が選択される。その結果、第1のセクタ40の出力である選択信号42として"0010"が出力されている。これにより、第2のセクタ43の出力である選択信号46は"0010"となり、デコード50の出力であるデコード信号52として"0010"が出力される。かくして、最高位から3番目の要求が受け付けられることになる。このとき、第1のレジスタ

34は更新されないが、第2のレジスタ36は"0001"に更新される。

ケース⑤の場合も、第1のレジスタ34の出力である第1のレジスタの内容35は"0101"であるが、第1のAND回路32により、最高位から1番目および3番目の要求はマスクされるが、2番目の要求はマスクされない。したがって、デコード50の出力であるデコード信号52として"0100"が出力され、最高位から2番目の要求が受け付けられることになる。そして、第1のレジスタ34は"0001"に、第2のレジスタ36は"0011"にそれぞれ更新される。最後にケース⑥では、第1のレジスタ34の出力である第1のレジスタの内容35は"0001"であり、第1のAND回路32により、最高位から1番目、2番目、3番目の要求はマスクされるが、4番目の要求はマスクされない。したがって、デコード50の出力であるデコード信号52として"0001"が出力され、1サイクルが終了する。そして、XOR回路55の出力信号57は"00

00"となり、第1の比較回路58の出力である抑止・更新信号60が"1111"となり、第1のレジスタ34に書き込まれる。一方、今回受け付けた要求は最低位の要求なので、減算回路54の出力である減算信号62は"0000"となり、第2の比較回路63の出力である抑止・更新信号65が"1111"となって、第2のレジスタ36に書き込まれることになる。

〔発明の効果〕

以上説明したように本発明は、すでに要求を受け付けたことのあるユニットからの要求をマスクし、前回受け付けた要求よりも低位の要求だけを受け付け、取り出すことにより、1サイクル内で前回までに受け付けなかったユニットからの要求を優先的に受け付けることができる効果がある。さらに、すでに要求を受け付けたことのあるユニットからの要求に対しても平均的にこれを受け付けることができる効果がある。したがって、本発明を共通バスのバス使用権の制御に用いれば、効率的なバス使用を可能とする効果がある。

4. 図面の簡単な説明

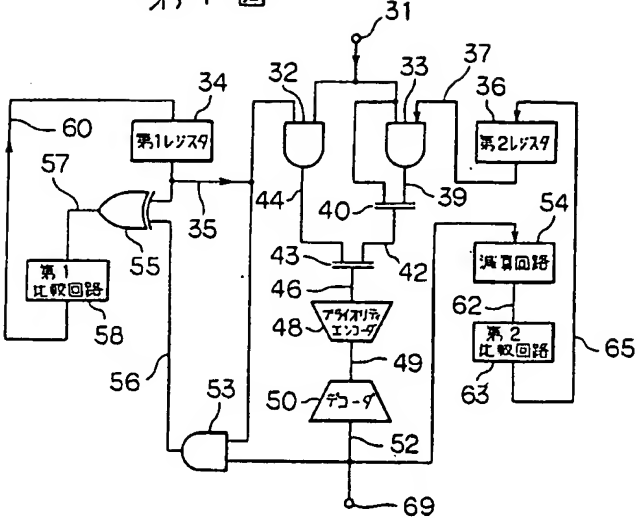
第1図は本発明による未受付要求優先回路の一実施例を示すブロック図、第2図はその動作を受付要求決定表の形で示した図、第3図は従来の固定優先順位決定回路を示すブロック図、第4図はその動作を受付要求決定表の形で示した図である。

- 32……第1のAND回路、
- 33……第2のAND回路、
- 34……第1のレジスタ、
- 36……第2のレジスタ、
- 40……第1のセクタ、
- 43……第2のセクタ、
- 48……プライオリティエンコーダ、
- 50……デコード、
- 53……第3のAND回路、
- 54……減算回路、55……XOR回路、
- 58……第1の比較回路、
- 63……第2の比較回路。

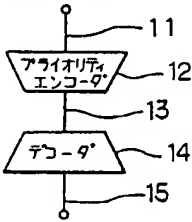
出願人
代理人

日本電気株式会社
弁理士 山内梅雄

第 1 図



第 3 図



第 2 図

| ケース | ① | ② | ③ | ④ | ⑤ | ⑥ |
|----------------------|---------|---------|---------|---------|---------|---------|
| 7 1 入力端子優先順位 | 高—低 | 高—低 | 高—低 | 高—低 | 高—低 | 高—低 |
| 3 1 入力信号 | 1 0 0 0 | 0 0 1 0 | 1 0 0 0 | 1 0 1 0 | 1 1 1 0 | 1 1 1 1 |
| 6 7 要求位置 | 1 | 1 | 1 | 1 1 | 1 1 1 | 1 1 1 1 |
| 3 5 第 1 のレジスタの内容 | 1 1 1 1 | 0 1 1 1 | 0 1 0 1 | 0 1 0 1 | 0 1 0 1 | 0 0 0 1 |
| 4 4 第 1 の AND 回路出力信号 | 1 0 0 0 | 0 0 1 0 | 0 0 0 0 | 0 0 0 0 | 0 1 0 0 | 0 0 0 1 |
| 3 7 第 2 のレジスタの内容 | 1 1 1 1 | 0 1 1 1 | 0 0 0 1 | 0 1 1 1 | 0 0 0 1 | 0 0 1 1 |
| 3 9 第 2 の AND 回路出力信号 | 1 0 0 0 | 0 0 1 0 | 0 0 0 0 | 0 0 1 0 | 0 0 0 0 | 0 0 1 1 |
| 4 2 選択信号 | 1 0 0 0 | 0 0 1 0 | 1 0 0 0 | 0 0 1 0 | 1 1 1 0 | 0 0 1 1 |
| 4 6 選択信号 | 1 0 0 0 | 0 0 1 0 | 1 0 0 0 | 0 0 1 0 | 0 1 0 0 | 0 0 0 1 |
| 4 9 符号化信号 | 3 | 1 | 3 | 1 | 2 | 0 |
| 5 2 デコード信号 | 1 0 0 0 | 0 0 1 0 | 1 0 0 0 | 0 0 1 0 | 0 1 0 0 | 0 0 0 1 |
| 7 2 選択された位置 | 1 | 1 | 1 | 1 | 1 | 1 |
| 5 6 出力信号 | 1 0 0 0 | 0 0 1 0 | 0 0 0 0 | 0 0 0 0 | 0 1 0 0 | 0 0 0 1 |
| 5 7 出力信号 | 0 1 1 1 | 0 1 0 1 | 0 1 0 1 | 0 1 0 1 | 0 0 0 1 | 0 0 0 0 |
| 6 0 停止・更新信号 | 0 1 1 1 | 0 1 0 1 | 0 1 0 1 | 0 1 0 1 | 0 0 0 1 | 1 1 1 1 |
| 6 2 計算信号 | 0 1 1 1 | 0 0 0 1 | 0 1 1 1 | 0 0 0 1 | 0 0 1 1 | 0 0 0 0 |
| 6 5 停止・更新信号 | 0 1 1 1 | 0 0 0 1 | 0 1 1 1 | 0 0 0 1 | 0 0 1 1 | 1 1 1 1 |

第 4 図

| ケース | ① | ② | ③ | ④ | ⑤ | ⑥ |
|--------------|---------|---------|---------|---------|---------|---------|
| 2 1 入力端子優先順位 | 高—低 | 高—低 | 高—低 | 高—低 | 高—低 | 高—低 |
| 1 1 入力信号 | 1 0 0 0 | 0 0 1 0 | 1 0 0 0 | 1 0 1 0 | 1 1 1 0 | 1 1 1 1 |
| 2 2 選択された位置 | 1 | 1 | 1 | 1 1 | 1 1 1 | 1 1 1 1 |
| 1 3 出力信号 | 3 | 1 | 3 | 3 | 3 | 3 |
| 1 5 出力信号 | 1 0 0 0 | 0 0 1 0 | 1 0 0 0 | 1 0 0 0 | 1 0 0 0 | 1 0 0 0 |
| 1 6 選択された位置 | 1 | 1 | 1 | 1 | 1 | 1 |